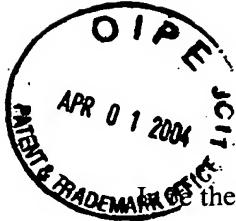


PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In the Application of

Takeshi UEMATSU et al.

Application No.: 10/797,150

Filed: March 11, 2004

Docket No.: 118952

For: SWITCHING POWER SUPPLY CONTROLLER AND SWITCHING POWER SUPPLY

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-068486 filed March 13, 2003 and

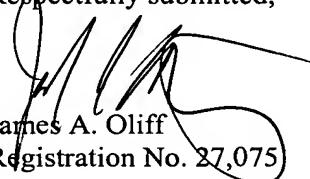
Japanese Patent Application No. 2003-074275 filed March 18, 2003.

In support of this claim, certified copies of said original foreign applications:

are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

JAO:JSA/mxm

Date: April 1, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 3月13日
Date of Application:

出願番号 特願2003-068486
Application Number:

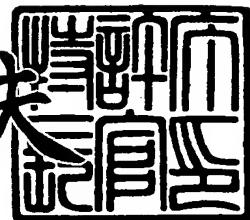
[ST. 10/C] : [JP2003-068486]

出願人 TDK株式会社
Applicant(s):

2004年 2月12日

特許長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 99P04752
【提出日】 平成15年 3月13日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 3/00
【発明者】
【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
【氏名】 上松 武
【発明者】
【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
【氏名】 川崎 浩司
【発明者】
【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
【氏名】 今井 考一
【発明者】
【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
【氏名】 三浦 幸一郎
【発明者】
【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
【氏名】 松浦 研
【特許出願人】
【識別番号】 000003067
【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置用制御装置およびスイッチング電源装置

【特許請求の範囲】

【請求項 1】 スイッチング電源に対して出力する駆動信号を生成する駆動信号生成手段と、

前記駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を出力するパルス信号出力手段と、

前記パルス信号出力手段により出力されたパルス信号に含まれる直流成分を除去するハイパスフィルタ手段と、

前記ハイパスフィルタ手段により直流成分が除去された信号を積分する積分手段とを備え、

前記駆動信号生成手段は、前記スイッチング電源装置の出力電圧並びに当該出力電圧の目標電圧を示す各信号および前記積分手段により積分された信号に基づいて前記駆動信号を生成することを特徴とするスイッチング電源装置用制御装置。

【請求項 2】 前記ハイパスフィルタは、二次以上のハイパスフィルタであることを特徴とする請求項 1 記載のスイッチング電源装置用制御装置。

【請求項 3】 スイッチング電源に対して出力する駆動信号を生成する駆動信号生成手段と、

前記駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を出力するパルス信号出力手段と、

前記パルス信号出力手段により出力されたパルス信号を積分する機能と前記パルス信号から直流成分を除去するハイパスフィルタ機能とを融合させた演算手段とを備え、

前記駆動信号生成手段は、前記スイッチング電源の出力電圧並びに当該出力電圧の目標電圧を示す各信号および前記演算手段により演算された信号に基づいて前記駆動信号を生成することを特徴とするスイッチング電源装置用制御装置。

【請求項 4】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が

$$1 / (1 - b * Z^{-1}) \quad (b \text{ は係数})$$

であることを特徴とする請求項3記載のスイッチング電源装置用制御装置。

【請求項5】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が
$$(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})] \quad (b_1, b_2 \text{ は係数})$$

であることを特徴とする請求項3記載のスイッチング電源装置用制御装置。

【請求項6】 スイッチング電源装置に対して出力する駆動信号を生成する駆動信号生成手段と、

前記駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を出力するパルス信号出力手段と、

前記パルス信号出力手段により出力されたパルス信号に含まれる直流成分を除去する第一のハイパスフィルタと、

前記第一のハイパスフィルタにより直流成分が除去された信号を積分する積分手段と、

前記積分手段により積分された信号に含まれる直流成分を除去する第二のハイパスフィルタとを備え、

前記駆動信号生成手段は、前記スイッチング電源装置の出力電圧並びに当該出力電圧の目標電圧を示す各信号および前記第二のハイパスフィルタにより直流成分が除去された信号に基づいて前記駆動信号を生成することを特徴とするスイッチング電源装置用制御装置。

【請求項7】 前記第一のハイパスフィルタおよび前記第二のハイパスフィルタは、一次のハイパスフィルタであることを特徴とする請求項6記載のスイッチング電源装置用制御装置。

【請求項8】 前記駆動信号生成手段は、

前記出力電圧と前記目標電圧との差分を示す信号と前記直流成分が除去された信号とを比較する比較手段と、

所定の間隔で前記駆動信号のレベルをローレベルからハイレベルに切り替えるとともに、前記比較手段により比較された結果に基づいて当該駆動信号のレベルをハイレベルからローレベルに切り替える切替手段とを含んで構成されることを特徴とする請求項1～7のいずれか1項に記載のスイッチング電源装置用制御裝

置。

【請求項 9】 請求項1～8のいずれか1項に記載のスイッチング電源装置用制御装置を備えることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング電源装置用制御装置およびスイッチング電源装置に関する。

【0002】

【従来の技術】

パソコン等の電化製品等に用いられるスイッチング電源装置は、電化製品等を安定して稼動させるために、出力電圧を一定にする必要がある。このような出力電圧を一定にする方法の一つとして、電流モード制御がある。この電流モード制御は、例えば、電源回路内に設けられたインダクタに流れる電流の値を検出し、この検出値と目標値に基づいてインダクタに流れる電流の大きさを制御することによって、出力電圧が一定となるように制御するものである。このような電流モード制御は、デジタル制御およびアナログ制御のいずれにおいても実現可能である。この電流モード制御を、デジタル制御によりを実現する場合には、実電流をアナログ信号からデジタル信号に変換（A D変換）する必要がある。したがって、デジタル制御で電流モード制御を実現する場合には、A D変換を行う分、変換後のデジタル信号の値が実電流の値よりも遅れてしまい、実電流との間に誤差が生じる。この誤差は、安定した高速応答性が求められるスイッチング電源装置にとって悪影響を及ぼす原因となる。そこで、上述したA D変換をした後のデジタル信号（実電流）を用いるのではなく、インダクタに流れる電流を推定し、この推定に基づいて生成されたデジタル信号を用いて出力電圧を一定にする方法が、例えば、特許文献1に開示されている。この特許文献1に記載された技術は、電圧レギュレータのインダクタに流れる電流を推定することにより、推定電流を生成し、この推定電流に基づいて電圧レギュレータの出力電圧を一定に制御している。

【0003】**【特許文献1】**

特表2002-530036号公報

【0004】**【発明が解決しようとする課題】**

しかしながら、上述した推定電流は、スイッチング電源装置の回路内にある種々の負荷による影響を考慮せずに生成されるため、推定電流には直流成分が付加される。これにより、推定電流と実電流との間に誤差が生じてしまう。特許文献1に記載された技術では、この誤差を解消するために電流検出器を設け、この電流検出器で検出した実電流に基づいて、1スイッチング周期に2回、推定電流の値を実電流の値に補正している。すなわち、上述した特許文献1に記載された技術では、推定電流を補正するために電流検出器を備える必要がある。したがって、電源回路の構成が複雑になるという問題がある。

【0005】

そこで、本発明は、上述した課題を解決するために、デジタル制御におけるスイッチング電源装置の構成をより簡素化させることができるスイッチング電源装置用制御装置およびスイッチング電源装置を提供することを目的とする。

【0006】**【課題を解決するための手段】**

本発明のスイッチング電源装置用制御装置は、スイッチング電源装置に対して出力する駆動信号を生成する駆動信号生成手段と、駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を出力するパルス信号出力手段と、パルス信号出力手段により出力されたパルス信号に含まれる直流成分を除去するハイパスフィルタ手段と、ハイパスフィルタ手段により直流成分が除去された信号を積分する積分手段とを備え、駆動信号生成手段は、スイッチング電源装置の出力電圧並びに当該出力電圧の目標電圧を示す各信号および積分手段により積分された信号に基づいて駆動信号を生成することを特徴とする。

【0007】

この発明によれば、パルス信号出力手段により、駆動信号の出力レベルに対応した所定のレベル値を有するパルス信号が出力されるため、例えば、推定電流の増加時および減少時の傾きを示すレベル値に対応するパルス信号を出力することができる。また、ハイパスフィルタ手段により、上記パルス信号から直流成分が除去され、積分手段により、直流成分除去後の信号が積分されることによって、積分された後の信号（例えば、推定電流信号）が、直流成分の影響を受けて発散してしまうことを防止することができるとともに、直流成分の影響により生じる誤差を極力減少させることができる。これにより、積分された後の信号（例えば、推定電流信号）は、実電流により近い信号となる。このような信号に基づいて駆動信号が生成されるため、実電流を用いた電流モード制御により近い制御が可能となり、高速応答性が要求されるスイッチング電源装置に、より安定した定電圧制御を行わせることができる。

【0008】

本発明のスイッチング電源装置用制御装置において、ハイパスフィルタは、二次以上のハイパスフィルタにすることが好ましい。このようにすれば、スイッチング電源装置用制御装置は、より確実に直流成分を除去させることができる。

【0009】

本発明のスイッチング電源装置用制御装置は、スイッチング電源装置に対して出力する駆動信号を生成する駆動信号生成手段と、駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を出力するパルス信号出力手段と、パルス信号出力手段により出力されたパルス信号を積分する機能とパルス信号から直流成分を除去するハイパスフィルタ機能とを融合させた演算手段とを備え、駆動信号生成手段は、スイッチング電源の出力電圧並びに当該出力電圧の目標電圧を示す各信号および演算手段により演算された信号に基づいて駆動信号を生成することを特徴とする。

【0010】

この発明によれば、パルス信号出力手段により、駆動信号の出力レベルに対応した所定のレベル値を有するパルス信号が出力されるため、例えば、推定電流の増加時および減少時の傾きを示すレベル値に対応するパルス信号を出力すること

ができる。また、直流成分を除去する機能と積分する機能とを融合した演算手段により、所定のレベル値を有するパルス信号が演算されることで、演算された後の信号（例えば、推定電流信号）が、直流成分の影響を受けて発散してしまうことを防止することができるとともに、直流成分の影響により生じる誤差を極力減少させることができる。これにより、積分された後の信号（例えば、推定電流信号）は、実電流により近い信号となる。このような信号に基づいて駆動信号が生成されるため、実電流を用いた電流モード制御により近い制御が可能となり、高速応答性が要求されるスイッチング電源装置に、より安定した定電圧制御を行わせることができる。

【0011】

本発明のスイッチング電源装置用制御装置において、演算手段は、当該演算手段の伝達関数 $H(Z)$ が $1 / (1 - b * Z^{-1})$ または $(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})]$ (b, b_1, b_2 は係数) であることが好ましい。

【0012】

本発明のスイッチング電源装置用制御装置は、スイッチング電源装置に対して出力する駆動信号を生成する駆動信号生成手段と、駆動信号生成手段により生成された駆動信号の出力レベルに対応させて所定のレベル値を有するパルス信号を生成するパルス信号生成手段と、パルス信号出力手段により出力されたパルス信号に含まれる直流成分を除去する第一のハイパスフィルタと、第一のハイパスフィルタにより直流成分が除去された信号を積分する積分手段と、積分手段により積分された信号に含まれる直流成分を除去する第二のハイパスフィルタとを備え、駆動信号生成手段は、スイッチング電源装置の出力電圧並びに当該出力電圧の目標電圧を示す各信号および第二のハイパスフィルタにより直流成分が除去された信号に基づいて駆動信号を生成することを特徴とする。

【0013】

この発明によれば、パルス信号出力手段により、駆動信号の出力レベルに対応した所定のレベル値を有するパルス信号が出力されるため、例えば、推定電流の増加時および減少時の傾きを示すレベル値に対応するパルス信号を出力すること

ができる。また、第一のハイパスフィルタおよび第二のハイパスフィルタにより、積分手段で信号が積分される前後においてそれぞれ直流成分を除去することで、直流成分がより確実に除去されるため、第二のハイパスフィルタにより出力される信号（例えば、推定電流信号）が、直流成分の影響を受けて発散してしまうことを防止することができるとともに、直流成分の影響により生じる誤差を極力減少させることができる。これにより、積分された後の信号（例えば、推定電流信号）は、実電流により近い信号となる。このような信号に基づいて駆動信号が生成されるため、実電流を用いた電流モード制御により近い制御が可能となり、高速応答性が要求されるスイッチング電源装置に、より安定した定電圧制御を行わせることができる。

【0014】

本発明のスイッチング電源装置用制御装置において、第一のハイパスフィルタおよび第二のハイパスフィルタは、一次のハイパスフィルタであることが好ましい。このようにすれば、回路構成をより簡素化させることができる。

【0015】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段は、出力電圧と目標電圧との差分を示す信号と直流成分が除去された信号とを比較する比較手段と、所定の間隔で駆動信号のレベルをローレベルからハイレベルに切り替えるとともに、比較手段により比較された結果に基づいて当該駆動信号のレベルをハイレベルからローレベルに切り替える切替手段とを含んで構成されが好ましい。このようにすれば、出力電圧と目標電圧の差分信号と、直流成分が除去された後の誤差のより少ない信号との比較結果により、駆動信号のレベルがハイレベルとなる期間を制御することができる。

【0016】

【発明の実施の形態】

以下、本発明に係るスイッチング電源装置用制御装置の実施形態を図面に基づき説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

【0017】

図1は、本実施形態におけるスイッチング電源装置1の電気回路構成を例示する図である。本実施形態におけるスイッチング電源装置1はDC-DCコンバータであり、図1に示すようにスイッチング素子2、3と、インダクタ4と、コンデンサ5と、AD変換部6と、コントローラIC7（スイッチング電源装置用制御装置）とを有する。

【0018】

電源Pは、スイッチング電源装置1に入力電圧Viを印加する。スイッチング素子2、3は、スイッチング機能を有する素子であり、例えば、電界効果トランジスタ（FET）等のトランジスタが該当する。スイッチング素子2、3のゲートには、コントローラIC7から出力されるPWM信号（駆動信号）KSが入力される。スイッチング素子2およびスイッチング素子3は、PWM信号KSのレベルに基づいてそれぞれが交互にON状態とOFF状態とを繰り返す。具体的に説明すると、PWM信号KSのレベルがハイレベルである場合には、スイッチング素子2がON状態となりスイッチング素子3がOFF状態となる。一方、PWM信号KSのレベルがローレベルである場合には、スイッチング素子2がOFF状態となりスイッチング素子3がON状態となる。

【0019】

インダクタ4およびコンデンサ5は、出力電圧Voを安定させるためのLCフィルタ（平滑回路）として機能する。AD変換部6は、出力電圧Voを示すアナログ信号をデジタル信号に変換する。

【0020】

負荷Lは、スイッチング電源装置1から出力される出力電圧Voの供給先であり、例えば、PC端末等に用いられるCPU（Central Processing Unit）やMPU（Micro Processing Unit）が該当する。このような、CPUやMPUは、省電力モードを有しており、省電力モードから通常モードに移行する際に、負荷変動が急激に増大するという特徴がある。

【0021】

コントローラIC7は、負荷Lに供給する出力電圧Voの目標値である目標電圧Vrと出力電圧Voとにに基づいてPWM信号KSを生成する。ここで、図2を

参照してコントローラIC7の回路構成を説明する。図2に示すように、コントローラIC7は、加算器11と、乗算器12と、PWM信号生成回路（駆動信号生成手段）20と、セレクタ（パルス信号出力手段）13と、演算回路30とを有する。

【0022】

加算器11は、出力電圧 V_o を示すデジタル信号および目標電圧 V_r を示すデジタル信号に基づいて、 $(V_r - V_o)$ の値を示す信号 V_S を出力する。すなわち、加算器11は、出力電圧 V_o （負）と目標電圧 V_r （正）を加算することにより、出力電圧 V_o と目標電圧 V_r との差分電圧値 $(V_r - V_o)$ を算出する。

【0023】

乗算器12は、差分電圧値 $(V_r - V_o)$ を示す信号 V_S に基づいて、 $G(V_r - V_o)$ の値を示す制御信号 G_S を出力する。すなわち、乗算器12は、出力電圧 V_o と目標電圧 V_r との差分電圧値 $(V_r - V_o)$ に、乗算器12の係数である G を乗算することにより、差分電圧値 $(V_r - V_o)$ を G 倍した値である $G(V_r - V_o)$ を算出する。

【0024】

PWM信号生成回路20は、乗算器12から出力された $G(V_r - V_o)$ の値を示す制御信号 G_S および演算回路30から出力された推定電流信号 I_e （後述）に基づいてPWM信号 K_S を生成する。ここで、図2に示すように、PWM信号生成回路20は、コンパレータ（比較手段）21と、RSフリップフロップ（切替手段）22と、AND回路23とを有する。

【0025】

コンパレータ21は、 $G(V_r - V_o)$ の値を示す制御信号 G_S および推定電流信号 I_e （後述）に基づいて、これらの信号を比較した結果を示す信号 C_S を出力する。すなわち、コンパレータ21は、 $G(V_r - V_o)$ の値と I_e の値とを比較して、 $G(V_r - V_o)$ の値が I_e の値よりも大きい場合には、ローレベルの信号 C_S を出力し、 $G(V_r - V_o)$ の値が I_e の値以下の場合には、ハイレベルの信号 C_S を出力する。すなわち、信号 C_S は、 I_e の値が、 $G(V_r - V_o)$ の値以上である場合にのみ、ハイレベルとなる。

【0026】

R S フリップフロップ2 2 は、マスタークロックMCを分周したパルスに基づいて生成された信号c 1 k 1 とコンパレータ2 1 から出力された信号C S とに基づいて、信号F S を出力する。すなわち、R S フリップフロップ2 2 の一方の入力側であるS (Set) には信号c 1 k 1 が入力され、他方の入力側であるR (Reset) には信号C S が入力され、出力側であるQからはハイレベルの信号F S またはローレベルの信号F S のいずれか一方が出力される。

【0027】

A N D回路2 3 は、マスタークロックMCを分周したパルスに基づいて生成された信号c 1 k 2 とR S フリップフロップ2 2 から出力された信号F S とに基づいて、スイッチング素子2, 3 の駆動信号であるP W M信号K S を出力する。すなわち、A N D回路2 3 は、信号c 1 k 2 と信号F S の論理積を演算し、その演算結果をP W M信号K S として出力する。

【0028】

セレクタ1 3 は、P W M信号K S に基づいて、“ α ” または“ $-\beta$ ” のいずれかのレベル値を示すパルス信号P S を出力する。ここで、“ α ” の値は、スイッチング電源装置1 のインダクタ4 に流れる実電流の増加時における傾きであり、“ $-\beta$ ” の値は、インダクタ4 に流れる実電流の減少時における傾きを示す値である。したがって、これらの“ α ” および“ $-\beta$ ” の値を用いることによって、インダクタ4 に流れる実電流を推定することが可能となる。そこで、本実施形態では、この“ α ” および“ $-\beta$ ” のレベル値を有するパルス信号P S に基づいて生成され得る信号I e を、推定電流信号と記載することにする。本実施形態におけるスイッチング電源装置1 は、この推定電流信号I e を用いて定電圧制御を行うものである。なお、“ α ” および“ $-\beta$ ” の値は、一般にスイッチング電源装置1 の回路構成によって定まるものであり、予めセレクタ1 3 に設定される値である。

【0029】

演算回路3 0 は、セレクタ1 3 から出力されたパルス信号P S に基づいて、推定電流信号I e を出力する。ここで、図2に示すように、演算回路3 0 は、ハイ

パスフィルタ（H P F）31と、積分器32とを有する。

【0030】

ハイパスフィルタ31は、二次のハイパスフィルタであり、セレクタ13により出力されたパルス信号PSに含まれる直流成分を除去するフィルタ回路である。ハイパスフィルタ31を備えることによって、パルス信号PSに含まれる直流成分が除去されるため、直流成分のない信号を積分器32に入力することができる。

【0031】

積分器32は、ハイパスフィルタ31によって直流成分が除去された後の信号を積分する回路である。積分器32を備えることによって、上述した“ α ”および“ $-\beta$ ”のレベル値を有するパルス信号PSを積分することができる。すなわち直流成分が取り除かれたパルス信号PSを積分することができる。これにより、積分器32から出力される推定電流信号Ieが直流成分の影響を受けて発散してしまうことを防止することができる。このように、ハイパスフィルタ31および積分器32により構成される演算回路30を備えることによって、実電流との間に生じる誤差の原因となる直流成分による影響を受けずに推定電流信号Ieを生成することができるため、実電流により近い推定電流の生成が可能となる。したがって、本実施形態におけるスイッチング電源装置1では、推定電流信号の値を、実電流値に補正する手段（例えば、実電流値を検出するための電流検出器等）を省略することが可能となり、スイッチング電源装置1の構成を簡素化することができる。

【0032】

ここで、図3を参照して、演算回路30の詳細回路構成について説明する。図3に示すように、演算回路30は、二次のハイパスフィルタ31と、積分器32とを有する。二次のハイパスフィルタ31は、遅延器であるDフリップフロップ31A～31Dと、乗算係数が“2”である乗算器31Eと、乗算係数が“ $b_1 + b_2$ ”である乗算器31Fと、乗算係数が“ $b_1 * b_2$ ”である乗算器31Gと、加算器31Hとを有する。この回路構成は、以下に記載する式1により表されるハイパスフィルタ31の伝達関数H(Z)に基づいて構成されている。

【0033】

$[(1 - Z^{-1}) / (1 - b_1 * Z^{-1})] * [(1 - Z^{-1}) / (1 - b_2 * Z^{-1})]$
 … (式1) (b_1, b_2 は係数)

【0034】

また、演算回路30の積分器32は、遅延器であるDフリップフロップ32Aと、加算器32Bとを有する。この回路構成は、以下に記載する式2により表される積分器32の伝達関数H(Z)に基づいて構成されている。

【0035】

$1 / (1 - Z^{-1}) \dots$ (式2)

【0036】

なお、本実施形態においては、ハイパスフィルタ31が二次のハイパスフィルタである場合について説明しているが、ハイパスフィルタ31を二次に限定する必要はない。すなわち、ハイパスフィルタ31は、一次以上のハイパスフィルタであれば、いずれのハイパスフィルタであっても適用可能である。ここで、演算回路30を、一次のハイパスフィルタ31Sと、積分器32とで構成した場合の詳細回路図を図4に示し、説明する。図4に示すように一次のハイパスフィルタ31Sは、遅延器であるDフリップフロップ31SA, 31SBと、乗算係数が“b”である乗算器31SCと、加算器31SDとを有する。この回路構成は、以下に記載する式3により表されるハイパスフィルタ31Sの伝達関数H(Z)に基づいて構成されている。

【0037】

$(1 - Z^{-1}) / (1 - b * Z^{-1}) \dots$ (式3) (b は係数)

【0038】

次に、図5に示すタイミングチャートを参照して、推定電流信号Ieを生成する原理について説明する。図5(a)は、スイッチング電源装置1における各種制御の基準信号となるマスタークロックMCのパルス波形を示す図である。図5(a)に示すように、マスタークロックMCは、一定の間隔でローレベル“0”とハイレベル“1”的信号が交互に繰り返されて出力される。図5(b)は、コントローラIC7のAND回路23から出力されるPWM信号KSのパルス波形

を示す図である。図5（b）に示すように、PWM信号KSは、ローレベル“0”とハイレベル“1”的信号が交互に繰り返されて出力される。図5（c）は、コントローラIC7のセレクタ13から出力されるパルス信号PSのパルス波形を示す図である。図5（c）に示すように、パルス信号PSは、レベル値が“ α ”である信号とレベル値が“ $-\beta$ ”である信号が交互に繰り返されて出力される。図5（d）は、コントローラIC7の演算回路30から出力される推定電流信号Ieのデジタル波形を示す図である。図5（d）に示すように、推定電流信号Ieは、推定電流信号Ieの増加時には“ α ”レベルずつ段階的に増加する信号が繰り返し出力され、推定電流信号Ieの減少時には“ β ”レベルずつ段階的に減少する信号が繰り返し出力される。なお、図5（b）～（d）に示す各信号は、図5（a）に示すマスタークロックMCにおける所定のパルスの立ち上がりに同期してレベルの切り替え動作を行う。

【0039】

まず、図5（b）に示すように、時間t1において、PWM信号KSがローレベルからハイレベルに切り替わると、パルス信号PSは、“ $-\beta$ ”レベルから“ α ”レベルに切り替わる（図5（c））。次に、時間t3において、PWM信号KSがハイレベルからローレベルに切り替わると（図5（b））、パルス信号PSは、“ α ”レベルから“ $-\beta$ ”レベルに切り替わる（図5（c））。すなわち、パルス信号PSは、PWM信号KSがハイレベルである期間（例えば、時間t1～t3）には、レベル値が“ α ”である信号を出力し、PWM信号KSがローレベルである期間（例えば、時間t3～t5）には、レベル値が“ $-\beta$ ”である信号を出力する。

【0040】

一方、時間t1において、パルス信号PSが“ $-\beta$ ”レベルから“ α ”レベルに切り替わると（図5（c））、推定電流信号Ieは、マスタークロックMCが立ち上がるごとに（例えば、時間t1, t2）、レベルが“ α ”レベルずつ増加する（図5（d））。次に、時間t3において、パルス信号PSが“ α ”レベルから“ $-\beta$ ”レベルに切り替わると（図5（c））、推定電流信号Ieは、マスタークロックMCが立ち上がるごとに（例えば、時間t3, t4）、レベルが“

β " レベルずつ減少する（図5（d））。このように、推定電流信号 I_e は、 PWM 信号 K_S がハイレベルである期間（例えば、時間 t₁ ~ t₃）には、マスタークロック MC が立ち上がるごとにレベル値が " α " レベルずつ増加し、 PWM 信号 K_S がローレベルである期間（例えば、時間 t₃ ~ t₅）には、マスタークロック MC が立ち上がるごとにレベル値が " β " レベルずつ減少する。

【0041】

これは、本実施形態におけるスイッチング電源装置 1 が、 PWM 信号 K_S がハイレベルである場合には、スイッチング電源装置 1 のスイッチング素子 2 が ON 状態となり、インダクタ 4 に流れる電流が、傾き " α " により増加するように構成されているとともに、 PWM 信号 K_S がローレベルである場合には、スイッチング電源装置 1 のスイッチング素子 3 が ON 状態となり、インダクタ 4 に流れる電流が、傾き " β " により減少するように構成されていることを示す。

【0042】

次に、図 6 に示すタイミングチャートを参照して、コントローラ IC 7 の PWM 生成回路 20 における信号の流れについて説明する。図 6（a）は、コントローラ IC 7 の乗算器 12 から出力される制御信号 G_S の波形を示す図である。図 6（b）は、コントローラ IC 7 の演算回路 30 から出力される推定電流信号 I_e の波形を示す図である。図 6（b）に示すように、推定電流信号 I_e は、図 6（a）に示す制御信号 G_S の値に到達するまでは上昇し、制御信号 G_S の値に到達した時点で下降に転じる。図 6（c）は、コンパレータ 21 から出力される信号 C_S のパルス波形を示す図である。図 6（c）に示すように、信号 C_S は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 6（d）は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成された信号 c_{1k1} のパルス波形を示す図である。図 6（d）に示すように、信号 c_{1k1} は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 6（e）は、RS フリップフロップ 22 から出力される信号 F_S のパルス波形を示す図である。図 6（e）に示すように、信号 F_S は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 6（f）は、マスタークロック MC に基づいて生成された信号 c_{1k2} のパルス波形を示す図である。

。図6 (f) に示すように、信号c1k2は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図6 (g) は、AND回路23から出力されるPWM信号KSのパルス波形を示す図である。図6 (g) に示すように、PWM信号KSは、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。

【0043】

まず、時間t11において、推定電流信号Ieの値が制御信号GSの値に到達すると(図6 (a), (b))、コンパレータ21から出力される信号CSがローレベルからハイレベルに切り替わる(図6 (c))。信号CSがローレベルからハイレベルに切り替わると(図6 (c))、RSフリップフロップ22から出力される信号FSがリセットされてハイレベルからローレベルに切り替わる(図6 (e))。信号FSがハイレベルからローレベルに切り替わると(図6 (e))、AND回路23から出力されるPWM信号KSがハイレベルからローレベルに切り替わる(図6 (g))。すなわち、推定電流信号Ieの値が、G(Vr-Vo)の値に到達した場合には、駆動信号であるPWM信号KSがON状態(ハイレベル)からOFF状態(ローレベル)に切り替わることになる。

【0044】

次に、時間t12において、信号c1k2がハイレベルからローレベルに切り替わると(図6 (f))、AND回路23から出力されるPWM信号KSは、強制的にローレベルに切り替えられる(図6 (g))。すなわち、信号c1k2は、駆動信号であるPWM信号KSがON状態(ハイレベル)として継続する期間を制限する機能を有する。

【0045】

次に、時間t13において、信号c1k1がローレベルからハイレベルに切り替わると(図6 (d))、RSフリップフロップ22から出力される信号FSがセットされてローレベルからハイレベルに切り替わる(図6 (e))。信号FSがローレベルからハイレベルに切り替わると(図6 (e))、AND回路23から出力されるPWM信号KSがローレベルからハイレベルに切り替わる(図6 (g))。すなわち、信号c1k1がローレベルからハイレベルに切り替わると、

駆動信号である PWM 信号 K S が OFF 状態（ローレベル）から ON 状態（ハイレベル）に切り替わることになる。

【0046】

したがって、PWM 生成回路 20 では、信号 c1k1 が、ローレベルからハイレベルに切り替わると、PWM 信号 K S が OFF 状態から ON 状態に切り替わり、推定電流信号 I e の値が、G (Vr - Vo) の値に到達すると、PWM 信号 K S が ON 状態から OFF 状態に切り替わる。

【0047】

以上のように、本実施形態におけるスイッチング電源装置 1 では、コントローラ IC7 に、上述したセレクタ 13 を備えることによって、PWM 信号 K S の出力レベルに対応した所定のレベル値（“ α ” および “ $-\beta$ ”）を有するパルス信号 PS が output されるため、推定電流の増加時および減少時の傾き（“ α ” および “ $-\beta$ ”）を示すパルス信号を出力することができる。

【0048】

また、ハイパスフィルタ 31 および積分器 32 を有する演算回路 30 を備えることによって、ハイパスフィルタ 31 により直流成分が除去されたパルス信号 PS が積分器 32 によって積分されるため、積分後の推定電流信号 I e が、直流成分の影響を受けて発散してしまうことを防止することができるとともに、直流成分の影響により生じる実電流との誤差を極力減少させることができる。このように、推定電流信号 I e が、実電流との誤差の原因となる直流成分による影響を受けずに生成されることにより、実電流により近い推定電流を生成することができる。したがって、推定電流信号の値を、実電流値に補正する手段を省略することができるとなり、スイッチング電源装置 1 の構成を簡素化することができる。

【0049】

また、実電流により近い推定電流信号に基づいて駆動信号を生成するため、実電流を用いた電流モード制御により近い制御が可能となり、高速応答性が要求されるスイッチング電源装置 1 に、より安定した定電圧制御を行わせることができるもの。

【0050】

このように、本実施形態に係るスイッチング電源装置は、誤差のより少ない推定電流信号に基づいて安定した定電圧制御を行うことができるため、例えば、省電力モードから通常モードに移行するPC端末等のように、負荷変動が急激に増大し、かつ、高速応答性が要求される機器に適用した場合であっても、誤差による影響を最小限に抑えることができ、安定した定電圧制御を行うことが可能である。

【0051】

なお、上述した実施形態においては、演算回路30がハイパスフィルタ31と積分器32により構成されている場合について説明しているが、演算回路30の構成はこれに限定されない。例えば、図7ないし図9に示すような回路構成を有する演算回路であってもよい。図7は、一次のハイパスフィルタが有する機能と積分器が有する機能とを融合した演算回路30Xの詳細回路構成を示す図である。ここで、この演算回路30Xの回路構成には、一次のハイパスフィルタと積分器とを別個に連続して組み合わせた回路構成は含まれない。図7に示す演算回路30Xは、遅延器であるDフリップフロップ30XAと、乗算係数が“b”である乗算器30XBと、加算器30XCとを有する。この回路構成は、以下に記載する式4により表される演算回路30Xの伝達関数H(Z)に基づいて構成されている。

【0052】

$$1 / (1 - b * Z^{-1}) \quad \dots \quad (\text{式4}) \quad (b \text{ は係数})$$

【0053】

この式4は、上述した一次のハイパスフィルタの伝達関数（式3）と積分器の伝達関数（式2）とを乗算して求められたものである。

【0054】

図8は、二次のハイパスフィルタと積分器とを融合した演算回路30Yの詳細回路構成を示す図である。図8に示す演算回路30Yは、遅延器であるDフリップフロップ30YA～30YCと、乗算係数が“b1 + b2”である乗算器30YDと、乗算係数が“b1 * b2”である乗算器30YEと、加算器30YFとを有する。この回路構成は、以下に記載する式5により表される演算回路30Y

の伝達関数 $H(Z)$ に基づいて構成されている。

【0055】

$$(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})] \dots \quad (\text{式 } 5)$$

(b_1, b_2 は係数)

【0056】

この式 5 は、上述した二次のハイパスフィルタの伝達関数（式 1）と積分器の伝達関数（式 2）とを乗算して求められたものである。

【0057】

図 9 は、一次のハイパスフィルタ 31S と、乗算器 32 とを有する演算回路 30Z の詳細回路構成を示す図である。図 9 に示すように、乗算器 32 は、二つの一次のハイパスフィルタ 31S に挟まれて配置されており、一方の一次のハイパスフィルタ 31S から出力された信号を入力するとともに、この乗算器 32 で乗算した後の信号を他方の一次のハイパスフィルタ 31S に出力する。なお、図 9 に示す遅延器 32A は、乗算器 32 と、当該乗算器 32 の出力側に配置された一次のハイパスフィルタ 31S とで共用される。この回路構成は、上述した式 3 により表される一次のハイパスフィルタの伝達関数と、式 2 により表される積分器の伝達関数に基づいてそれぞれ構成されている。

【0058】

【発明の効果】

本発明に係るスイッチング電源装置用制御装置およびスイッチング電源装置によれば、デジタル制御におけるスイッチング電源の構成をより簡素化させることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態におけるスイッチング電源装置の回路構成図である。

【図 2】

図 1 に示すコントローラ IC の回路構成図である。

【図 3】

図 2 に示す演算回路の詳細回路構成図である。

【図4】

図2に示す演算回路の詳細回路構成図である。

【図5】

推定電流の原理を説明するタイミングチャートである。

【図6】

PWM信号生成回路におけるタイミングチャートである。

【図7】

変形例における演算回路の詳細回路構成図である。

【図8】

変形例における演算回路の詳細回路構成図である。

【図9】

変形例における演算回路の詳細回路構成図である。

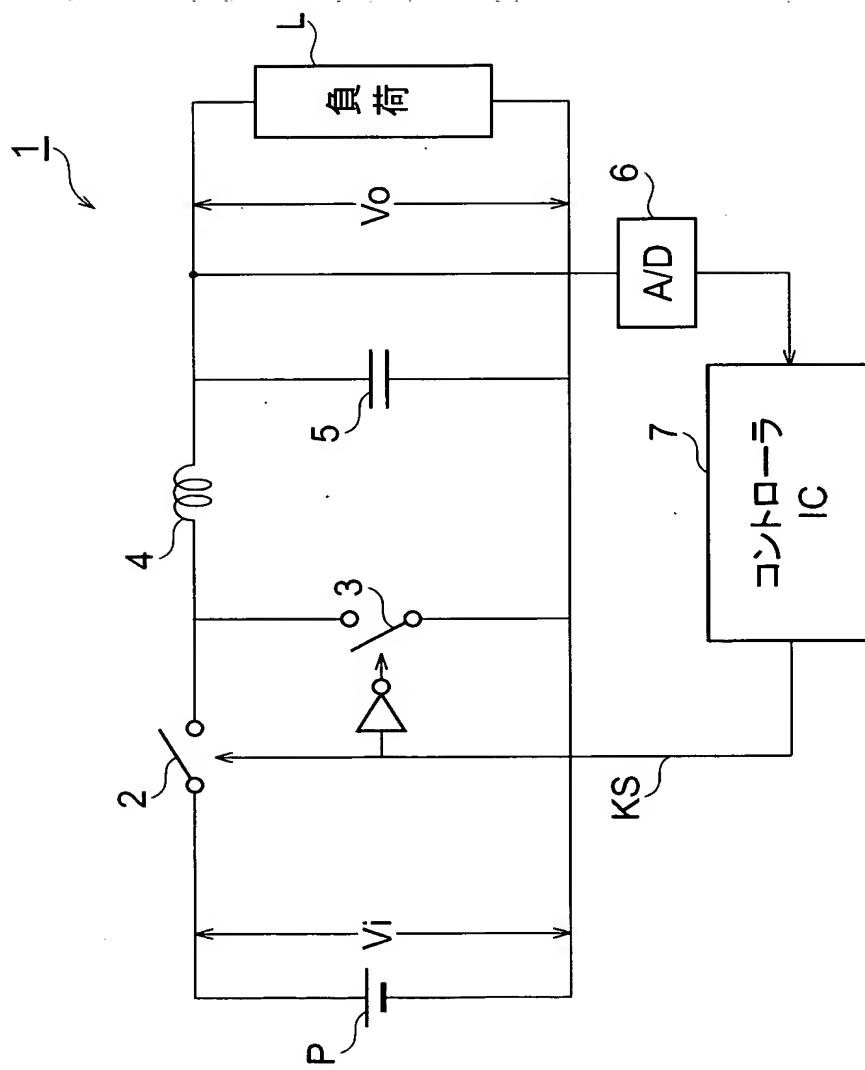
【符号の説明】

1 ……スイッチング電源装置、 2, 3 ……スイッチング素子、 4 ……インダクタ、
5 ……コンデンサ、 6 ……A D変換部、 7 ……コントローラ I C、 L ……負荷、 P ……電源、 1 1 ……加算器、 1 2 ……乗算器、 1 3 ……セレクタ、 2 0 ……PWM信号生成回路、 2 1 ……コンパレータ、 2 2 ……R Sフリップフロップ、 2 3 ……A N D回路、 3 0, 3 0 X, 3 0 Y, 3 0 Z ……演算回路、 3 1, 3 1 S ……ハイパスフィルタ、 3 2 ……積分器。

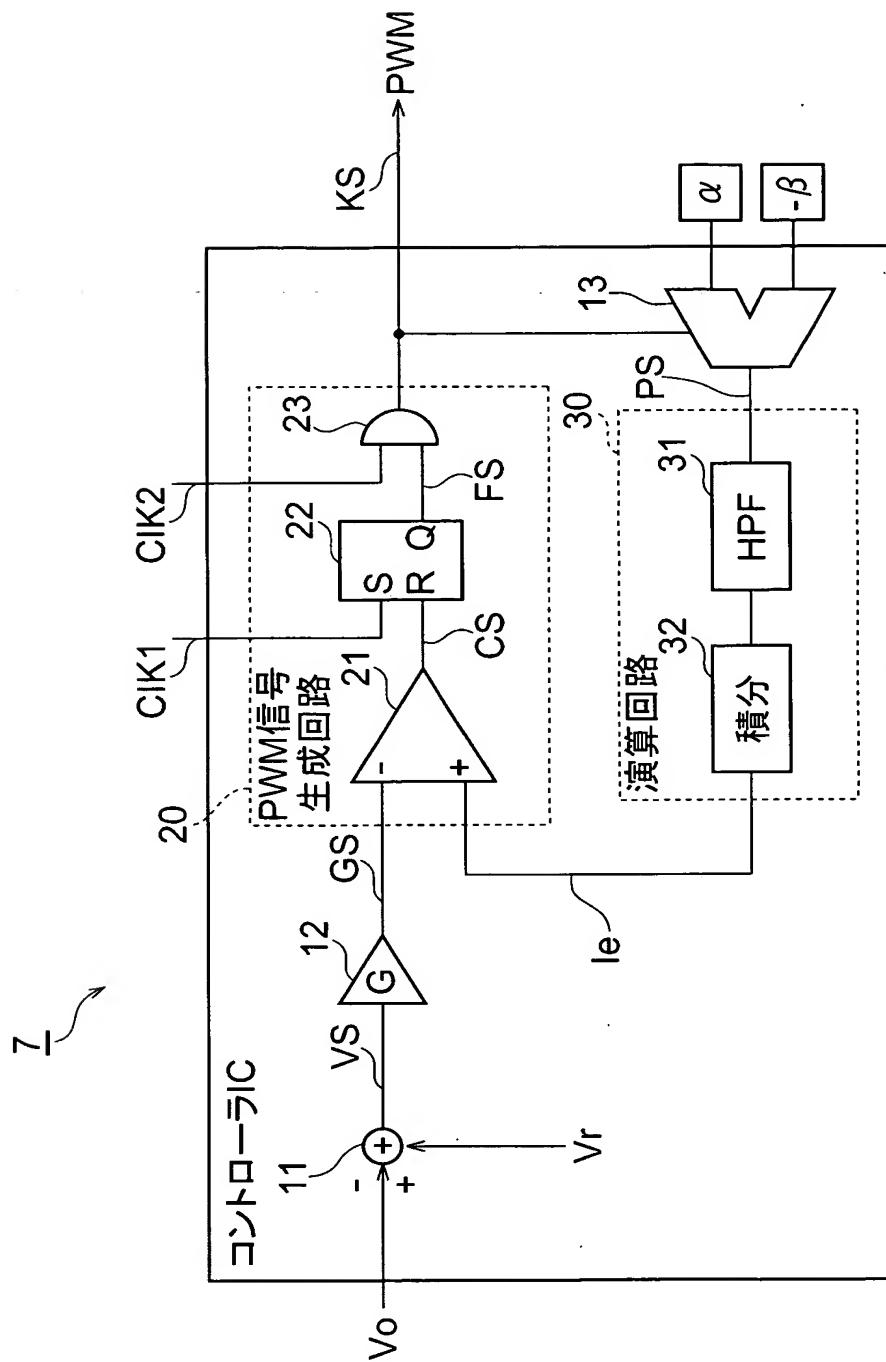
【書類名】

図面

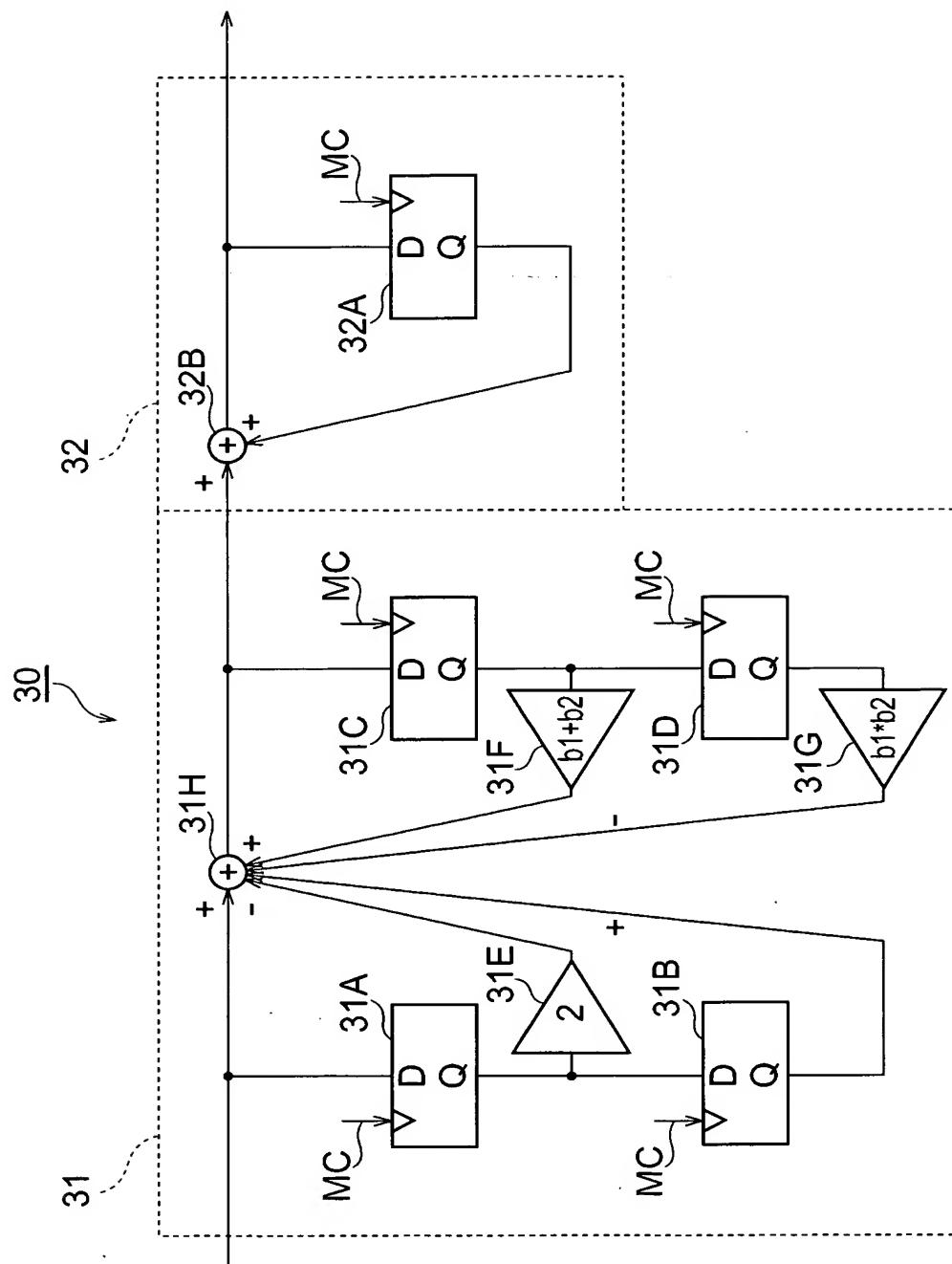
【図 1】



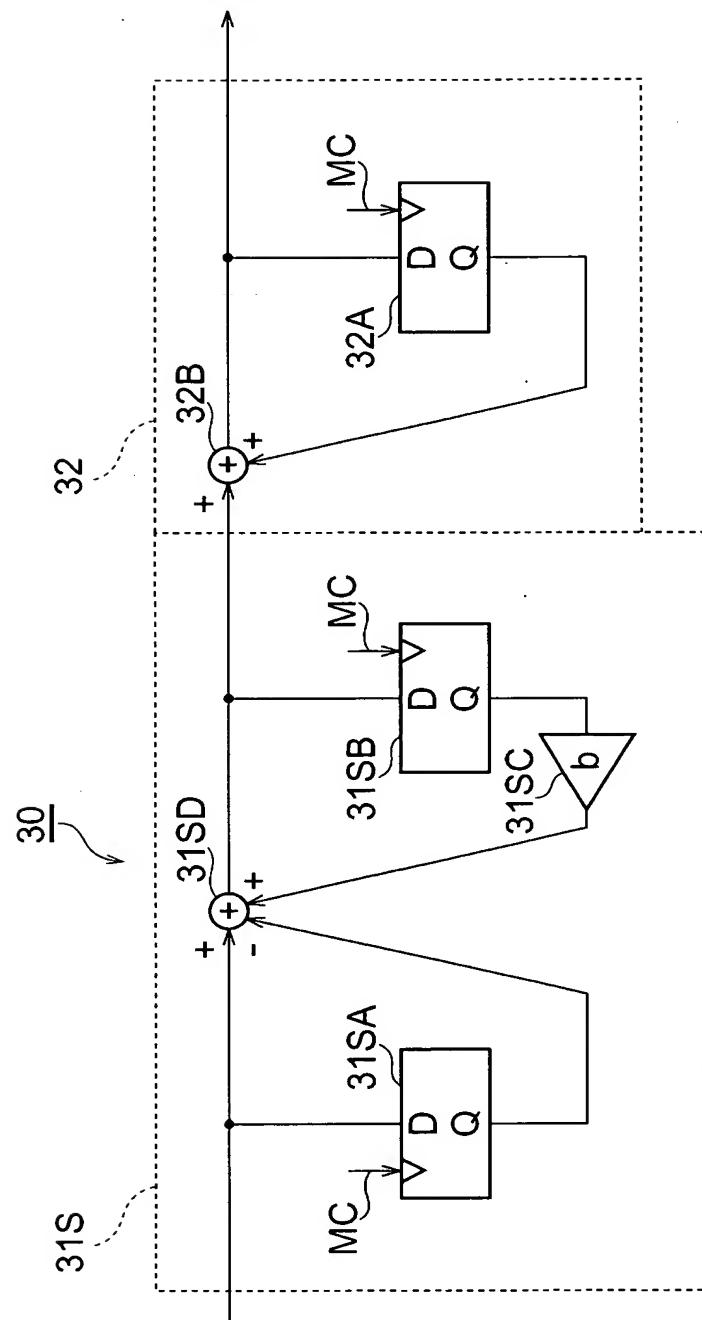
【図2】



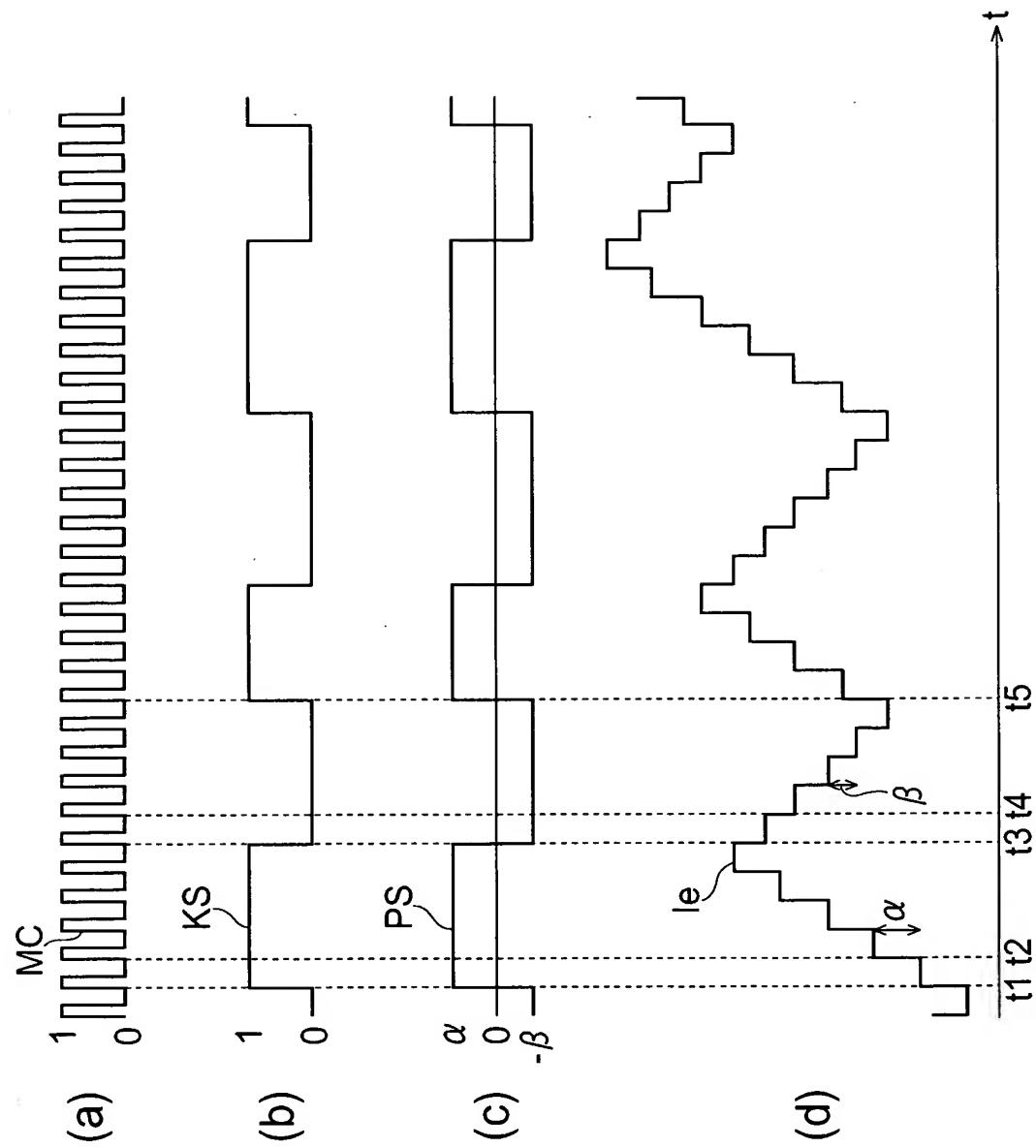
【図3】



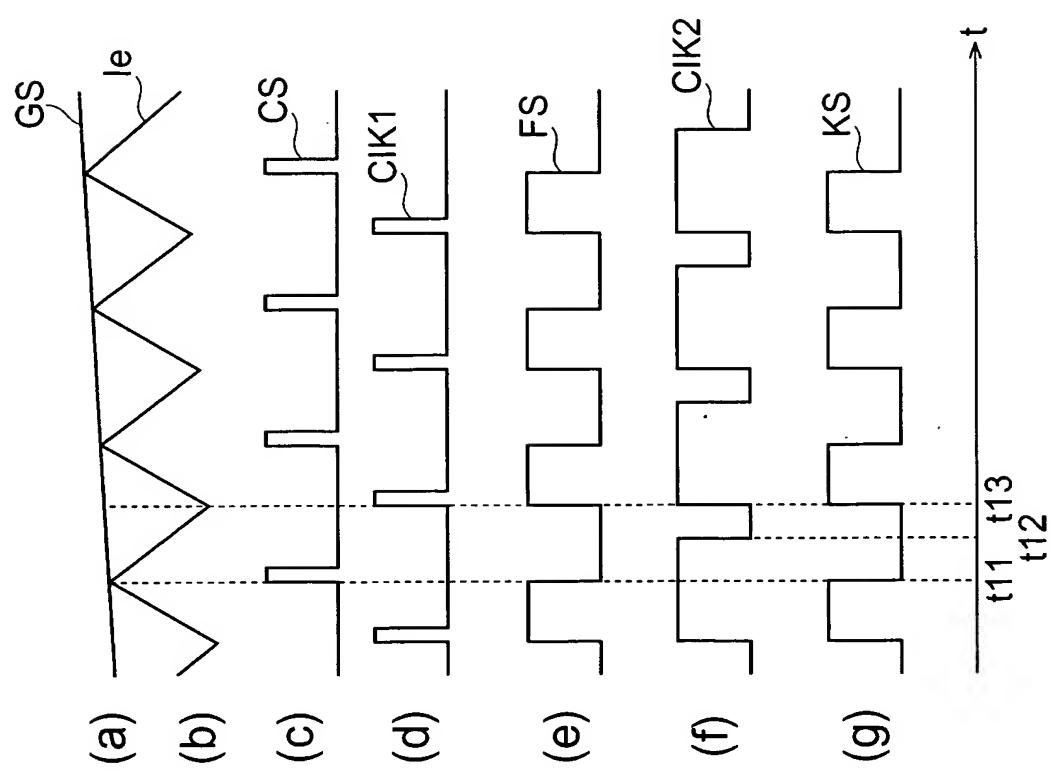
【図 4】



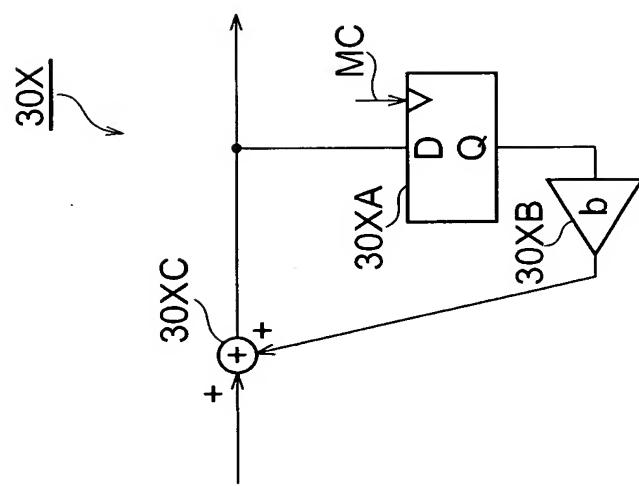
【図 5】



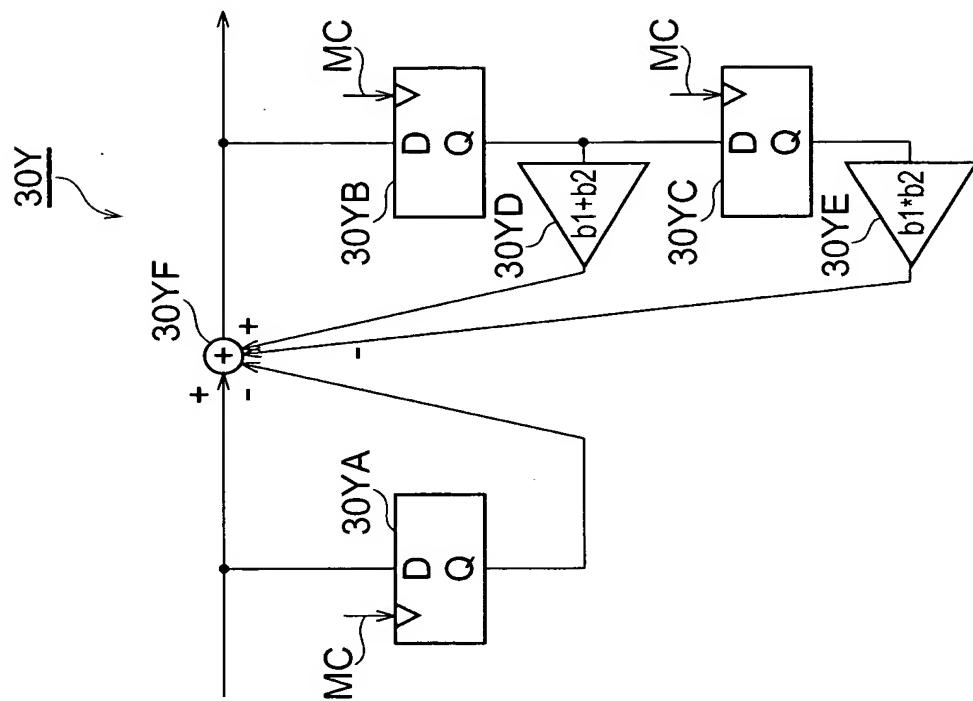
【図6】



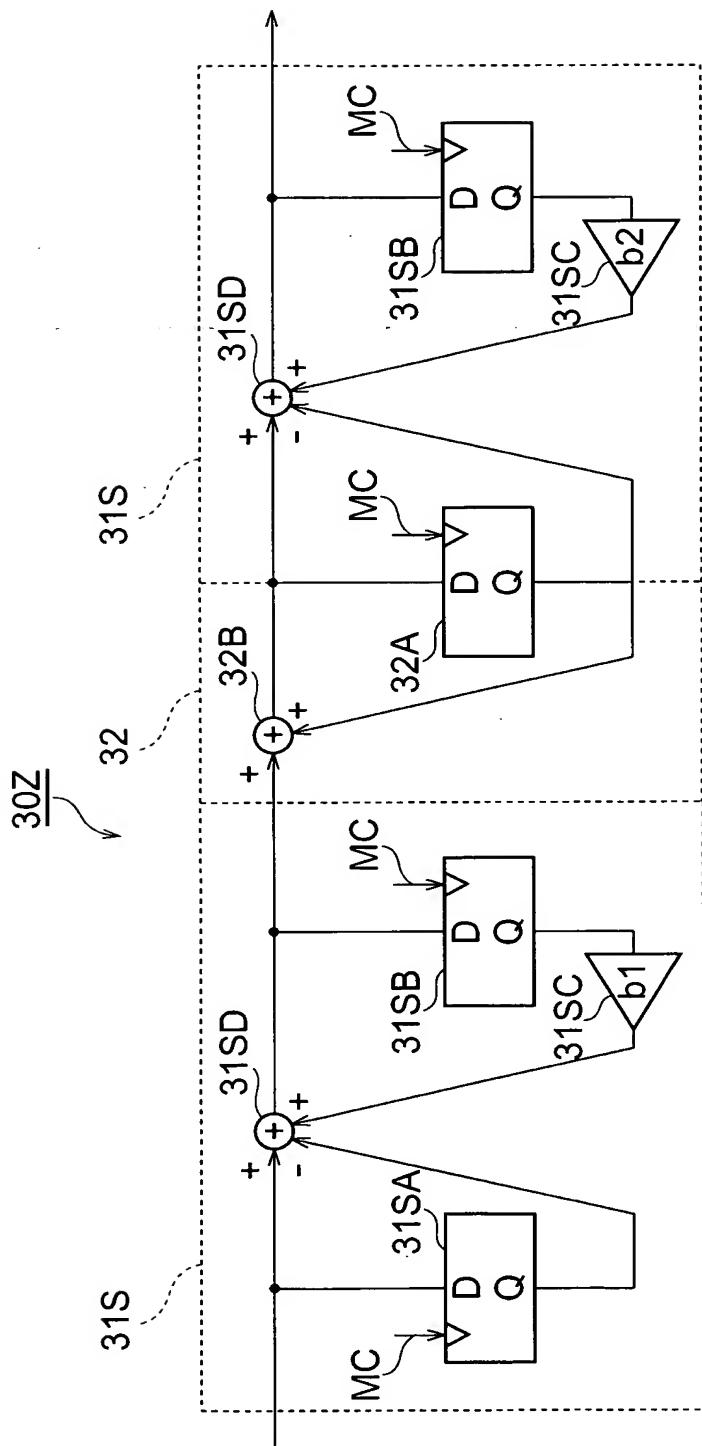
【図7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 デジタル制御におけるスイッチング電源の構成をより簡素化させる。

【解決手段】 加算器11は、 $(V_r - V_o)$ の値を示す信号VSを出力し、乗算器12は、信号VSに基づいてG $(V_r - V_o)$ の値を示す制御信号GSを出力し、PWM信号生成回路20は、制御信号GSおよび推定電流信号Ieに基づいてスイッチング電源装置を駆動させるPWM信号KSを生成してこの信号KSをスイッチング電源装置に出力する。セレクタ13は、PWM信号KSに基づいて“ α ”または“ $-\beta$ ”のいずれかのレベル値を示すパルス信号PSを出力し、ハイパスフィルタ31は、パルス信号PSに含まれる直流成分を除去し、積分器32は、ハイパスフィルタ31によって直流成分が除去された後の信号を積分して推定電流Ieを生成する。

【選択図】 図2

特願 2003-068486

出願人履歴情報

識別番号 [000003067]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都中央区日本橋1丁目13番1号
氏 名 ティーディーケイ株式会社

2. 変更年月日 2003年 6月27日

[変更理由] 名称変更

住 所 東京都中央区日本橋1丁目13番1号
氏 名 T D.K 株式会社